

大阪大学サイバーメディアセンター様

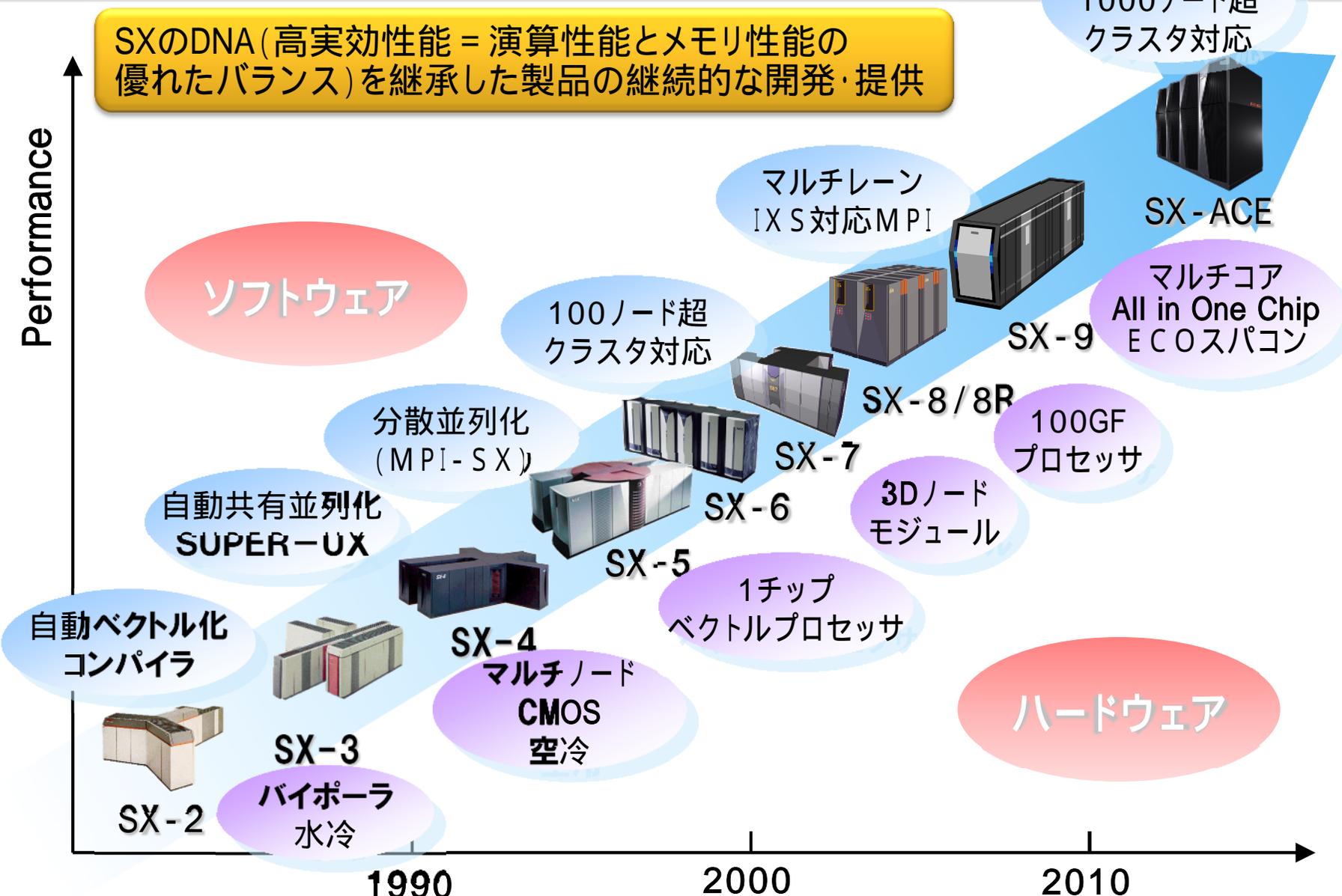
次期スーパーコンピュータ SX - ACE 利用説明会(ハードウェア)資料

2014年11月26日

日本電気

ITプラットフォーム事業部

SXロードマップと技術の進化(深化)



SX - ACEの特長

SXのDNA である「**実アプリケーションでの高い実効性能**」を継承しつつ、低消費電力化、省スペース化を実現。

高実効性能スパコン

世界トップクラスのCPUコア性能 (64GFLOPS)
世界トップクラスのメモリバンド幅 (64GB/s)

SX-DNA
の継承

低消費電力スパコン

世界トップクラスの省エネスパコン

現行機比
同演算性能で $\frac{1}{10}$

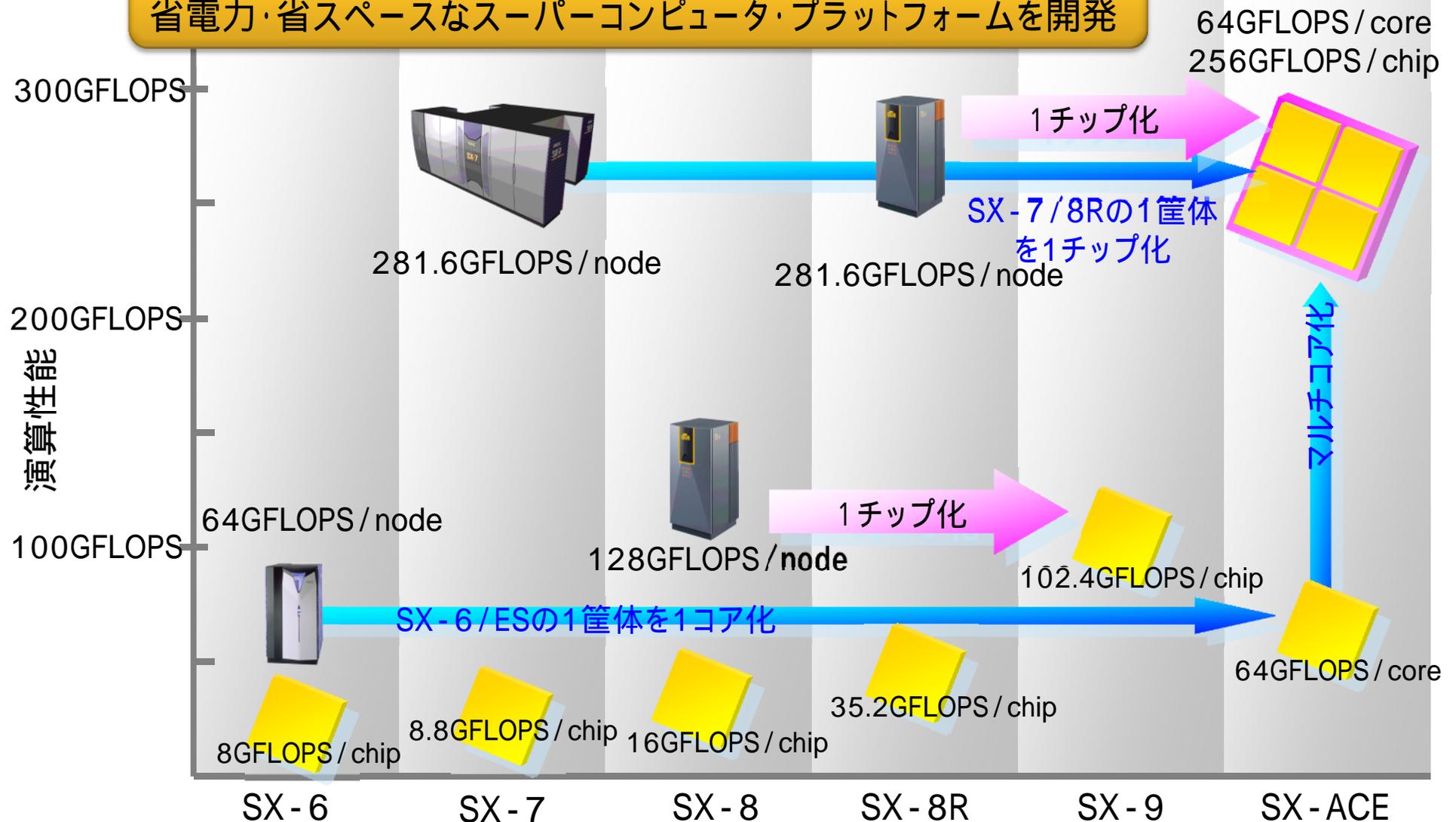
省スペーススパコン

お客様フロアコストの削減

現行機比
同演算性能で $\frac{1}{5}$

チップ・ノード性能のイノベーション

数世代前のSMPノードを1コア化・1チップ化し、
省電力・省スペースなスーパーコンピュータ・プラットフォームを開発



省電力を実現したオールインワンプロセッサ

最新LSIテクノロジーにより、4つのCPUコア、メモリ・I/O・ネットワークの制御部を1つのLSIに搭載するオールインワンプロセッサ化

→ 大幅な省電力化を実現

→ データ通信を高速化し、高性能・高スケーラビリティを実現

I/O制御部 オールインワンプロセッサ

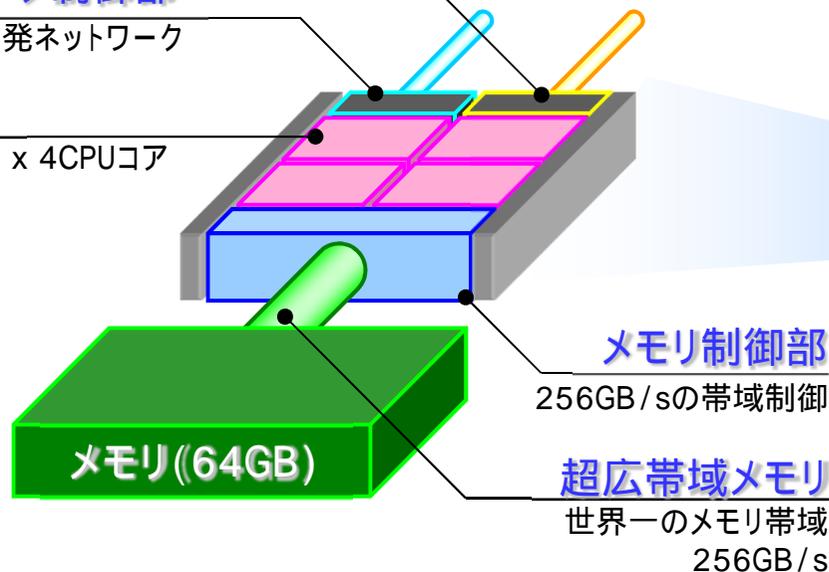
ストレージ装置、イーサネット等へ接続

ネットワーク制御部

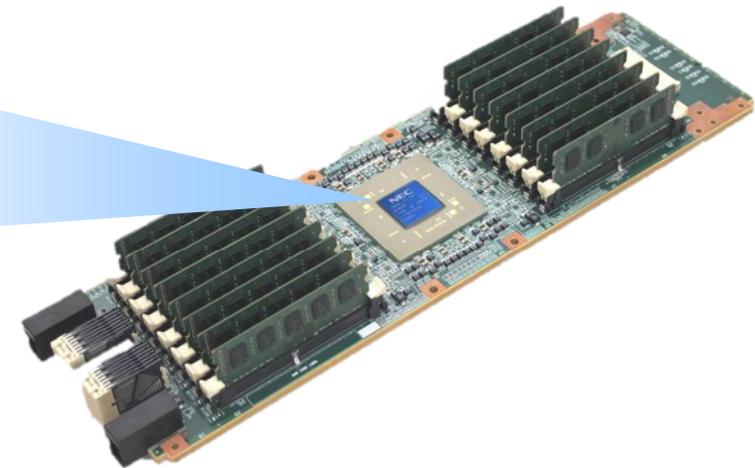
HPC専用開発ネットワーク

CPUコア

64GFLOPS x 4CPUコア

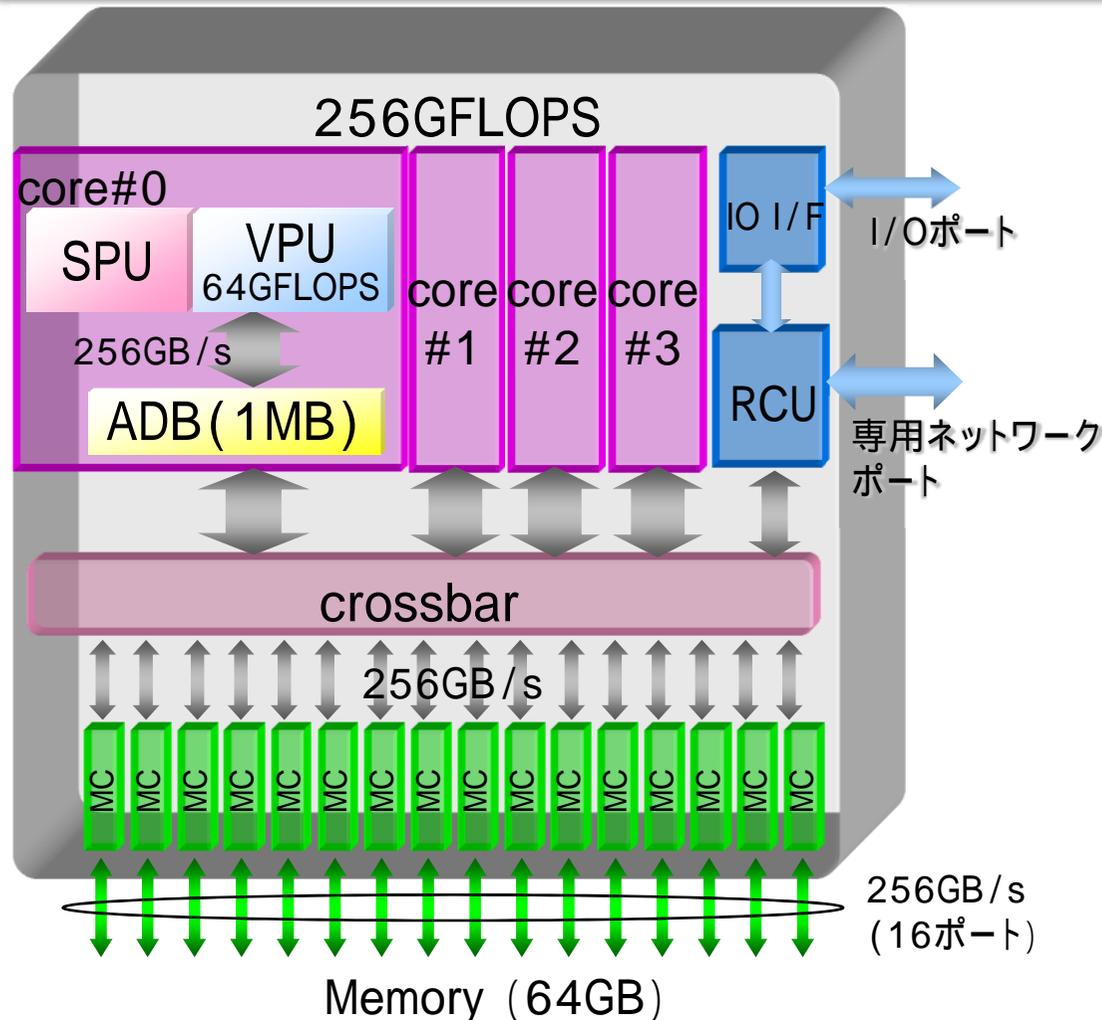


ノードカード



CPU構成

- 演算性能 **256GFLOPS** (64GFLOPS/コア × 4コア)
- メモリバンド幅 **256GB/s** (16GB/s /ポート × 16ポート)

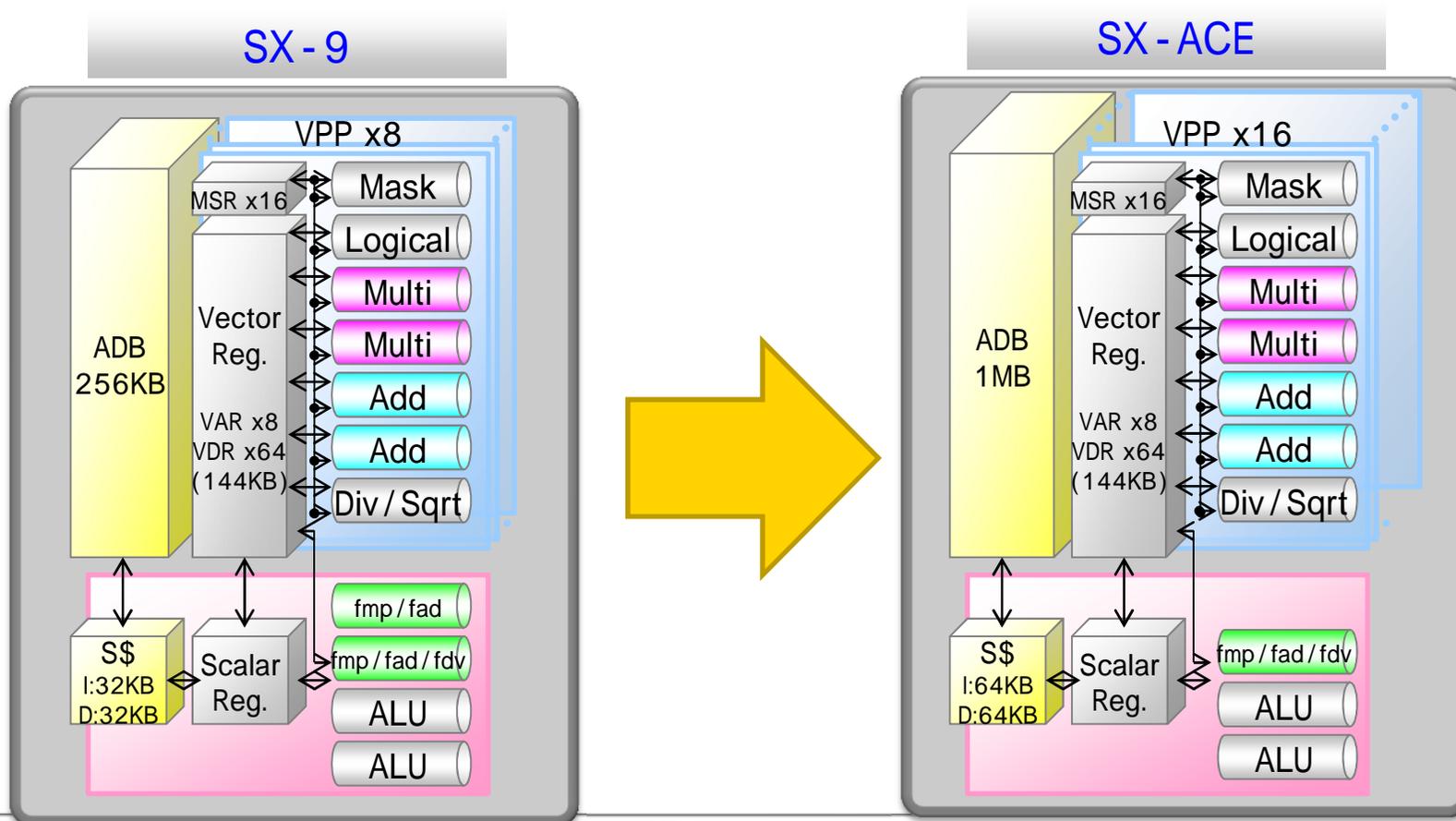


コア	
演算性能	64GFlops
ADBサイズ	1MB
ADB帯域	256GB/s
CPU	
コア数	4
演算性能	256GFlops
メモリ帯域	256GB/s
Byte / Flop	1

SPU: Scalar Processing Unit
 VPU: Vector Processing Unit
 ADB: Assignable Data Buffer
 RCU: Remote Access Control Unit
 MC: Memory Controller

コア構成 (演算器、キャッシュ、ADB容量など)

- SX-9からの強化点・変更点
- スカラキャッシュの容量を倍増
- ADBの容量を4倍に拡大
- ベクトルパイプライン(VPP)を2倍の16パイプ化



コア、ノードの性能諸元比較

CPU・コア諸元比較

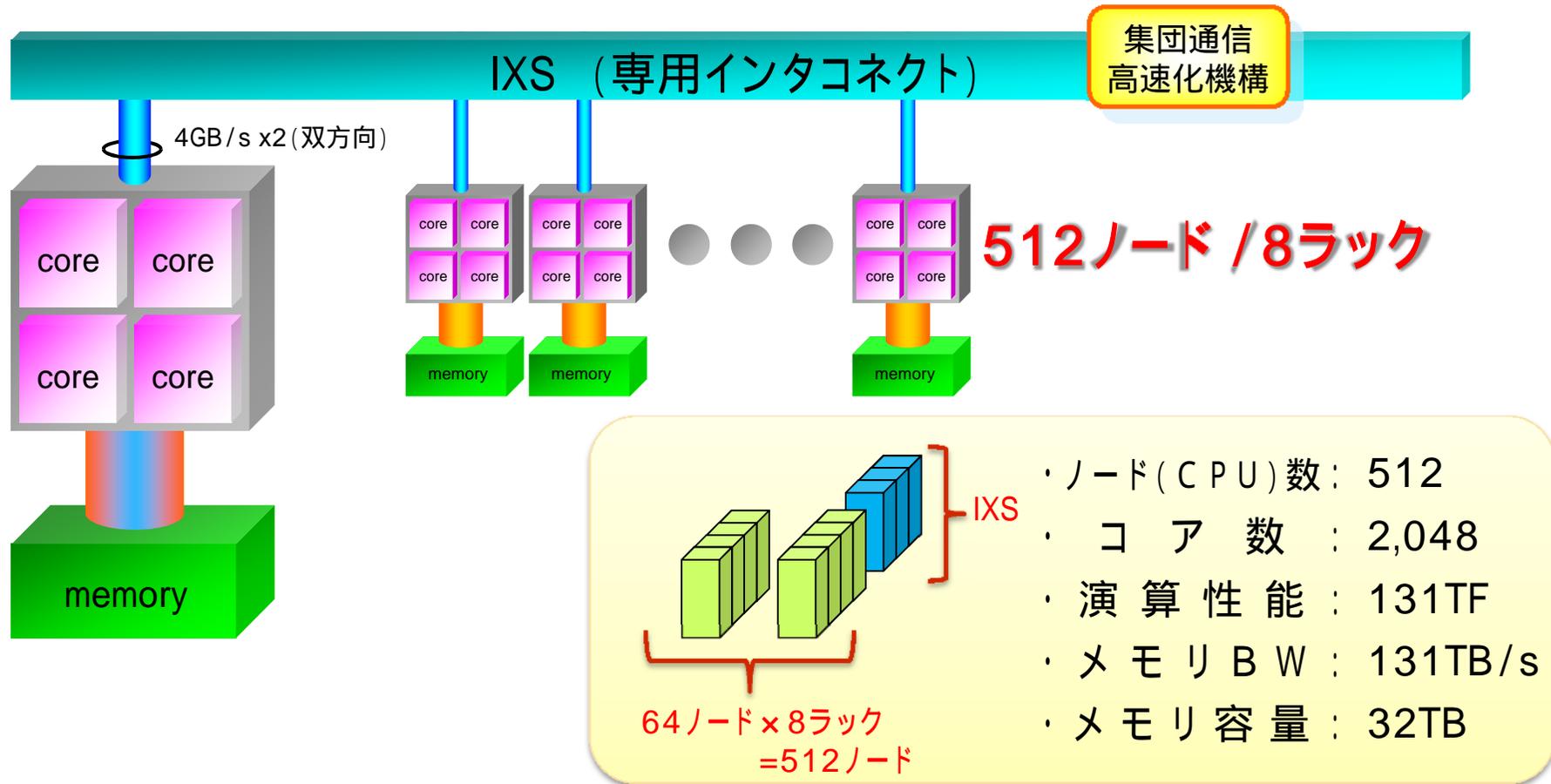
	演算性能	ADB容量
SX-8R	35.2GF	なし
SX-9	102.4GF	256KB
SX-ACE	64GF	1MB

ノード諸元比較

	コア (CPU)数	演算性能	メモリ容量	メモリ バンド幅
SX-8R	8	281.6GF	256GB	563.2GB/s
SX-9	16	1638.4GF	1TB	4096B/s
SX-ACE	4	256GF	64GB	256GB/s

クラスタ構成 (512ノードモデル)

システム構成: **131TFLOPS** (8ラック=計512ノード、2,048ベクトルコア)
高実効性能コア、超高速インタコネクタにより、高スケーラビリティを提供



マルチノード・システムのリソース比較

1ジョブから利用できる計算機リソースは、大幅に拡大

	ノード数	コア (CPU)数	演算 性能	メモリ 容量	メモリ バンド幅	ノード間通信 バンド幅
SX-8R	8	64	2.2TF	2TB	8.8TB/s	128GB/s
SX-9	8	128	13.1TF	8TB	32TB/s	512GB/s
SX-ACE	512	2048	131TF	32TB	131TB/s	2048GB/s
(SX-8R比)	64倍	32倍	59倍	16倍	14倍	16倍
(SX-9比)	64倍	16倍	10倍	4倍	4倍	4倍

Empowered by Innovation

NEC